



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425013.4

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:
Application no.: 03425013.4
Demande no:

Anmelddatag:
Date of filing: 14.01.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G06F13/42

An Anmelddatag benannte Vertragstaaten/Contracting states designated at date of
filling/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT SE SI SK TR LI

METODO E DISPOSITIVO PER LA TRASMISSIONE DI DATI SU UNA SINGOLA LINEA, IN PARTICOLARE PER LA TRASMISSIONE DI DATI SU UN BUS CON MINIMIZZAZIONE DELL'ATTIVITÀ DI COMMUTAZIONE SUL BUS STESSO, E RELATIVO PRODOTTO

5 INFORMATICO

La presente invenzione è relativa ad un metodo e ad un dispositivo per la trasmissione di dati su una singola linea, e ad un relativo prodotto informatico.

10 In particolare, la presente invenzione trova vantaggiosa ma non esclusiva applicazione nella trasmissione di dati su un bus con minimizzazione dell'attività di commutazione sul bus stesso ("Bus Switching Activity"), cui la trattazione che segue farà 15 esplicito riferimento senza per questo perdere in generalità.

Come è noto, l'attività di commutazione su un bus, sia esso grande (wide) che piccolo (narrow), è responsabile di un non trascurabile assorbimento di 20 energia elettrica da parte del bus stesso.

Un bus può infatti essere considerato come un insieme di linee di trasmissione a ciascuna delle quali è associata una capacità parassita che ad ogni commutazione della relativa linea, ossia ad ogni 25 transizione 0→1 o 1→0 dei segnali su di essa

transitanti, deve essere caricata o scaricata, con conseguente assorbimento di energia elettrica.

La riduzione dell'attività di commutazione sui bus è quindi un tema a cui è stata dedicata, e continua ad 5 esserlo, un'intensa ed estesa attività di ricerca volta a ridurre l'assorbimento di energia e, più in generale, ad evitare i fenomeni negativi legati al comportamento capacitivo dei bus.

Una tecnica molto utilizzata per ridurre l'attività 10 di commutazione sui bus consiste nel codificare il flusso dei dati da trasmettere sui bus stessi utilizzando una codifica di tipo invertibile, ossia suscettibile di poter essere decodificata.

La codifica denominata "Bus Invertito" ("Bus 15 Inverted") è attualmente la tecnica più utilizzata per ridurre l'attività di commutazione sui bus, sia per la sua facilità di attuazione, sia per le buone prestazioni, soprattutto nel caso in cui il numero complessivo di linee del bus è ridotto. Questa codifica, 20 inoltre, risulta essere utilizzabile anche nei bus asincroni.

Per un'ulteriore rassegna in argomento si possono utilmente consultare i lavori *Adaptive Bus Encoding Technique for Switching Activity Reduced Data Transfer 25 over Wide System Buses*, Claudia Kretzschmar, Robert

Siegmund und Dietmar Müller, International Workshop -
Power and Timing Modeling, Optimization and Simulation
(PATMOS2000) Goettingen (D), 13-15 Settembre 2000, e
Architectures and Synthesis Algorithms for Power-
5 Efficient Bus Interfaces, L. Benini, A. Macii, E. Macii,
M. Poncino, R. Scarsi, IEEE Transactions on CAD, Vol.
19, No. 9, Settembre 2000, pp. 969-980.

Una soluzione perfezionata per la riduzione
dell'attività di commutazione sui bus è proposta nella
10 domanda di brevetto europeo 02425456.7 depositata il
10.07.2002 dalla Richiedente e a grandi linee consiste
sostanzialmente nel commutare ("switch") le linee di
ingresso dei bus utilizzando una "configurazione di
scambio" ("sorting pattern") che viene scelta in modo
15 tale da minimizzare l'attività di commutazione fra la
trasmissione corrente e la trasmissione precedente.

In pratica, tale soluzione si basa sull'impiego di
un modulo di scambio ("Swap Operator") operante secondo
i criteri illustrati nella figura 1, nella quale con
20 $b(t)$ è indicato il flusso di dati di ingresso del modulo
di scambio, indicato con 1, all'istante di tempo t , con
 $B(t)$ è indicato il corrispondente flusso di dati di
uscita del modulo di scambio 1 nello stesso istante di
tempo, e con P_t è indicata la configurazione di scambio
25 attuata dal modulo di scambio. Inoltre, rappresentando i

dati in ingresso e in uscita al modulo di scambio con $N=2n$ bit, la configurazione di scambio P_t è rappresentata da N cifre ciascuna di n bit e potrà assumere $N!$ (N fattoriale) distinti valori.

5 Nello specifico caso rappresentato nella figura 1, il dato di ingresso all'istante t è $b(t)=0110$, mentre il dato di uscita allo stesso istante di tempo è $B(t)=1001$.

Supponendo poi che ad ognuno dei bit dei dati di ingresso e di uscita sia assegnata una numerazione 10 corrispondente alla sua posizione, ad esempio 0, 1, 2, 3 andando dall'alto verso il basso, nell'esempio rappresentato nella figura 1 la configurazione di scambio è pertanto $P_t=\{2-3-0-1\}$, il cui significato è il seguente:

15 - il bit di ingresso avente posizione 0 diventa il bit di uscita avente posizione 2,

- il bit di ingresso avente 1 in ingresso diventa il bit di uscita avente posizione 3,

20 - il bit di ingresso avente 2 in ingresso diventa il bit di uscita avente posizione 0, e

- il bit di ingresso avente posizione 3 diventa il bit di uscita avente posizione 1.

In termini più generali, si può dire che il modulo di scambio è matematicamente modellizzabile attraverso 25 un operatore di scambio S che mette in relazione il dato

di ingresso, il dato di uscita e la configurazione di scambio, ossia un operatore per cui vale una relazione del tipo:

$$B(t) = S(b(t), P_t)$$

5 L'operatore di scambio ammette in generale una funzione inversa S^{-1} , per cui è:

$$b(t) = S^{-1}(B(t), P_t)$$

Le operazioni di scambio diretta ed inversa possono essere realizzate impiegando la stessa funzione, 10 applicando due configurazioni di scambio diverse collegate da una relazione biunivoca:

$$b(t) = S^{-1}(B(t), P_t) = S(B(t), P_t^{-1})$$

Da quanto precede si può comprendere che, dato un determinato flusso di dati di ingresso $b(t)$, è possibile 15 effettuare $N!$ tentativi per misurare l'attività di commutazione fra i dati di uscita $B(t-1)$ precedenti ed una determinata funzione di tentativo ("attempt function") attuale $\tilde{B}(t)$ calcolata variando una configurazione di scambio di tentativo \tilde{p} .

20 Ad esempio, la misura dell'attività di commutazione SA può essere espressa ricorrendo alla distanza di Hamming applicata alla funzione OR esclusivo fra $B(t-1)$ e $\tilde{B}(t)$, ossia:

$$\min_{\tilde{p}} SA(\tilde{p}) = \min_{\tilde{p}} H[B(t-1) \oplus \tilde{B}(t)] \Rightarrow P_t$$

25 Quando la configurazione di scambio di tentativo \tilde{p}

diventa pari a quella ottima, cioè P_t , allora si ha
 $B(t) = \tilde{B}(t)$.

Ci sono vari gradi di libertà per la scelta di $\tilde{B}(t)$, ma questa dipende in modo specifico dal dato di ingresso corrente $b(t)$ e dalla configurazione di scambio P_t attuale.

Nel seguito sono presentati alcuni esempi di funzione di tentativo che si prestano ad essere utilizzati in modo particolarmente vantaggioso vuoi per la loro forma semplice, vuoi per la possibilità di consentire un'agevole decodifica:

I. $\tilde{B}(t) = S(b(t), \tilde{p})$

II. $\tilde{B}(t) = S(b(t), \tilde{p}) \oplus S^{-1}(b(t-1), \tilde{p})$

III. $\tilde{B}(t) = S(b(t), \tilde{p}) \oplus S^{-1}(B(t-1), \tilde{p})$

Le esperienze condotte dalla Richiedente, simulando la trasmissione su un bus da 32 bit di file di tipo diverso (Latex, Spice, GCC, JPEG, MP3 e AVI) dimostrano - con riferimento a una profondità di cluster M pari a quattro e con l'impiego di tutti e ventiquattro le possibili configurazioni di scambio - una riduzione dell'attività di commutazione SA , con l'impiego della tecnica del Bus Invertito e considerando anche l'attività di commutazione sulle linee aggiuntive utilizzate per la trasmissione della configurazione di scambio P_t , compresa fra 0% e 10,64%. In particolare,

utilizzando la funzione I, la riduzione è stata fra il 2,74% e il 14,56%, utilizzando la funzione II la riduzione rilevata è stata fra il 3,3% e il 17,72%, ed utilizzando la funzione III la riduzione è stata fra 5 15,5% e 23,16%.

È anche interessante notare come un miglioramento in termini di prestazioni può dipendere dalla larghezza del bus. Ad esempio, confrontando i risultati ottenibili con la tecnica del Bus Invertito con i risultati 10 ottenibili con la funzione III considerata in precedenza per un file Spice, si vede che per un bus aente 8 linee le due soluzioni danno risultati pressoché equivalenti. Su bus aenti 32 e 40 linee le prestazioni conseguibili 15 con la funzione III portano ad una riduzione dell'attività di commutazione praticamente doppia rispetto a quella conseguibile con la tecnica Bus Invertito. Nel caso di un bus su 64 linee, la funzione III vista in precedenza porta ad una riduzione 20 dell'attività di commutazione che è quasi tre volte quella conseguibile con la tecnica Bus Invertito.

Tornando nuovamente alla trasmissione dei bit di uscita del modulo di scambio sul bus, il trasmettitore demandato a realizzare tale funzione genera l'uscita dopo aver effettuato $N!$ tentativi, utilizzando la 25 configurazione di scambio P_t che ha dato origine alla

minima attività di commutazione SA.

Tuttavia, se N è un numero relativamente grande, il numero di tentativi richiesti diventa piuttosto elevato, il che obbliga il trasmettitore in questione ad operare ad una velocità molto maggior rispetto a quella del bus, ossia con una frequenza di clock molto maggiore rispetto alla frequenza di clock con cui i dati vengono immessi sul bus.

Ne consegue che questa tecnica, di per sé funzionale, può essere utilizzata in modo del tutto soddisfacente solo con bus aventi un clock piuttosto lento.

Per superare questo inconveniente è possibile operare con un sottoinsieme delle configurazioni di scambio permesse ed utilizzare un'elaborazione in parallelo, il che aumenta l'area di silicio occupata dal trasmettitore. Inoltre, se il valore di N è elevato, il numero di bit che rappresentano la configurazione di scambio P_t cresce in modo esponenziale.

Se si considera un sottoinsieme delle configurazioni di scambio permesse scelto analizzando il traffico medio e selezionando la migliore configurazione di scambio, si ottiene una riduzione del numero delle linee aggiuntive. Allo stesso tempo, il fatto di ridurre le configurazioni di scambio ammesse rispetto ad una

soluzione ideale fa sì che si ottenga una riduzione della copertura con una conseguente degradazione delle prestazioni in termini complessivi.

In modo più specifico, i risultati delle 5 simulazioni della Richiedente dimostrano che il guadagno in termini di riduzione dell'attività di commutazione SA può non essere apprezzabile qualora si scelga un sottoinsieme delle configurazioni di scambio senza seguire un criterio preciso.

10 Se si pilota la scelta delle configurazioni di scambio ammesse tramite file di prova, si misurano le ricorrenze delle configurazioni di scambio migliori a partire dall'algoritmo originario si ottengano risultati diversi.

15 Ad esempio con $N=32$ e $M=4$, confrontando le prestazioni di configurazioni di scambio di 4, 8, 16, e 24 bit (completi) con un file Spice, si vede che le migliori prestazioni sono ottenute impiegando 16 configurazioni di scambio.

20 Con riferimento ai risultati visti in precedenza si può ancora notare che i dati riferiti in precedenza con riferimento alle funzioni I, II e III possono essere ulteriormente migliorati con riferimento a determinati file utilizzando le sedici configurazioni di scambio 25 migliori tramite analisi del traffico medio. Questo

anche se per altri file il fatto di ricorrere a questa soluzione non porta ad un miglioramento, anzi ad un lieve peggioramento di prestazioni rispetto a quelle citate in precedenza.

5 In ogni caso, tutto questo anche se la funzione III continua di gran lunga a dare le migliori prestazioni in termini di riduzione dell'attività di commutazione.

10 Come detto in precedenza, quando il bus è formato da un numero N di linee relativamente grande, il numero di tentativi effettuati per determinare la configurazione di scambio ottimale prima di effettuare la trasmissione diventa piuttosto elevato, il che obbliga il trasmettitore ad operare ad una velocità molto maggior rispetto a quella del bus, ossia con una 15 frequenza di clock molto maggiore rispetto alla frequenza di clock con cui variano i dati all'ingresso del bus.

20 Per superare questo inconveniente, è possibile anche suddividere il bus in un sottoinsieme di bus più piccoli formati ciascuno da M linee, con M molto minore di N . I bus più piccoli sono detti "cluster" ed M è detta profondità dei cluster. Per i vari cluster si utilizza la stessa configurazione di scambio, la quale 25 viene selezionata in modo tale da minimizzare l'attività di commutazione complessiva sul bus ampio, ossia

l'attività di commutazione su tutti gli N/M cluster.

Naturalmente, per poter recuperare in modo corretto i dati sul lato di ricezione, la configurazione di scambio P_t utilizzata dal modulo di scambio sul lato di trasmissione deve necessariamente essere trasmessa al lato di ricezione utilizzando delle linee addizionali.

Assumendo che la profondità dei cluster M sia una potenza di due, il numero di linee necessario per trasmettere una configurazione di scambio di un cluster con profondità M sono $M \cdot \log_2 M$. Un tale numero di linee è in realtà ridondante in quanto risulta necessario rappresentare soltanto $M!$ stati diversi. Durante la trasmissione le configurazioni di scambio possono quindi essere compresse sul numero di linee strettamente necessarie per rappresentare $M!$ stati diversi. Ne consegue che il numero di linee addizionali necessarie a tale scopo è dato dal primo intero maggiore di $\log_2 M!$.

Di conseguenza, in trasmissione deve essere previsto un modulo di compressione che realizzi la compressione dei bit della configurazione di scambio P_t ed in ricezione deve essere previsto un modulo di decompressione che realizzi la decompressione dei bit trasmessi per ricostruire la configurazione di scambio P_t .

I moduli che implementano le funzioni di

compressione e di decompressione sono configurabili come semplici reti logiche combinatorie destinate ad implementare una tavola di verità e che non includono flip-flop.

5 La figura 2 illustra schematicamente, sotto forma di schema a blocchi funzionale, la logica utilizzata per trasmettere e ricevere l'informazione relativa alla configurazione di scambio trasmessa su apposite linee addizionali del bus.

10 Nello schema della figura 2, TX e RX indicano rispettivamente il lato di trasmissione e il lato di ricezione rispetto al bus, indicato con 2, 3 indica il modulo di compressione che, sul lato di trasmissione, comprime i bit della configurazione di scambio su 15 $M \cdot \log_2 M$ bit necessari per trasmettere tale configurazione di scambio sul numero di linee identificato dall'intero maggiore di $\log_2 M!$, 4 indica il modulo di decompressione che, sul lato di ricezione, decomprime gli $M \cdot \log_2 M$ bit trasmessi per ricostruisce la 20 configurazione di scambio P_t , e 5 e 6 indicano il modulo di compressione e, rispettivamente, il modulo di decompressione che realizzano le funzioni di compressione e di decompressione rispettivamente in fase di trasmissione ed in fase di ricezione rispetto alle 25 linee addizionali del bus 2.

Per la trasmissione della configurazione di scambio sulle linee addizionali è possibile utilizzare vantaggiosamente la summenzionata tecnica del Bus Invertito, che, nel caso in cui le linee addizionali 5 siano in numero ridotto, permette di ottenere una riduzione dell'attività di commutazione prossima al 60-70% rispetto all'attività di commutazione complessiva.

Lo schema della figura 3 fa vedere una semplice implementazione del modulo di scambio 1 della figura 1. 10 L'implementazione illustrata è destinata a operare su un solo cluster ed è composta da M multiplexer (nell'esempio qui illustrato in numero quattro). I multiplexer in questione ricevono in ingresso il flusso di dati $b(t)$ e attuano la commutazione pilotata dalla 15 configurazione di scambio così da dare origine al flusso di dati $B(t)$.

Lo schema della figura 4 fa invece vedere come è possibile realizzare una struttura in grado di operare su un bus con un numero di linee pari ad M , dove si 20 suppone che M sia in numero abbastanza elevato. In questo caso, la soluzione descritta prevede di utilizzare K moduli di scambio del tipo di quello descritto in precedenza, dove $K=(N/M)-1$. In altre parole, questa soluzione corrisponde al fatto di aver 25 suddiviso idealmente un bus grande con M linee in N bus

piccoli, ciascuno dei quali formato da M/N linee. Questo modo di operare fa sì che i tentativi di selezione della configurazione di scambio ottimale da attuare sui vari bus piccoli siano in numero molto minore rispetto a 5 quelli che si dovrebbero attuare sul bus grande. Come già detto, si può in particolare fare in modo che per tutti i bus piccoli venga infine utilizzata un'unica configurazione di scambio scelta come la configurazione di scambio che minimizza l'attività di commutazione 10 totale sul bus.

Inoltre, come descritto in precedenza, l'operazione di scambio diretta e inversa può essere realizzata utilizzando lo stesso modulo di scambio ma con diverse configurazione di scambio di ingresso. Se P_t rappresenta 15 l'operazione di scambio diretta, esiste sempre una configurazione di scambio $P_x = P_t^{-1}$ che realizza la funzione di scambio inversa:

$$S(b(t), P_t) = S^{-1}(b(t), P_t^{-1}) = S^{-1}(b(t), P_x), \forall b(t)$$

P_x e P_t sono collegate da una relazione biunivoca, 20 per cui è possibile utilizzare una rete combinatoria per ottenere P_x a partire da P_t .

Ad esempio la tabella qui sotto riprodotta fa vedere diversi valori di P_t e P_x quando $M=4$, così da chiarire come si deve realizzare la suddetta rete 25 combinatoria.

P_t	P_x
1-2-3-0	3-0-1-2
1-0-2-3	1-0-2-3
2-1-3-0	3-1-0-2
0-1-3-2	0-1-3-2
2-1-0-3	2-1-0-3
1-3-0-2	2-0-3-1

Un tale modulo che può essere definito semplicemente convertitore di configurazioni di scambio. 5 può ancora essere implementato come eventuale alternativa, come tabella di look-up.

Come ampiamente spiegato in precedenza, la soluzione perfezionata proposta dalla Richiedente per ridurre l'attività di commutazione sui bus richiede 10 necessariamente la trasmissione della configurazione di scambio P_t utilizzata dal modulo di scambio sul lato di trasmissione in modo che i dati trasmessi possano essere recuperati in modo corretto sul lato di ricezione, trasmissione che viene effettuata utilizzando delle 15 linee addizionali la cui attività di commutazione addizionale degrada le prestazioni complessive del sistema.

La presente invenzione si prefigge quindi lo scopo di fornire una soluzione perfezionata che consenta una 20 significativa riduzione del numero di linee addizionali

necessarie per la trasmissione della configurazione di scambio.

Tale scopo viene raggiunto della presente invenzione in quanto essa è relativa ad un metodo e ad un dispositivo di trasmissione di dati su una singola linea, ad un metodo e ad un dispositivo di trasmissione di dati su un bus con minimizzazione dell'attività di commutazione sul bus stesso, e ai relativi prodotti informatici, come definiti rispettivamente nelle rivendicazioni 1, 5, 9, 10, 14 e 18.

In sostanza, l'idea alla base della presente invenzione è quella di utilizzare due macchine a stati finiti funzionalmente identiche, una sul lato di trasmissione ed una sul lato di ricezione, in cui ciascuna macchina a stati finiti ha un numero di stati interni pari al numero di possibili configurazione di scambio ed in cui ciascun stato interno è univocamente associato ad una rispettiva configurazione di scambio.

Le macchine a stati finiti sul lato di trasmissione e sul lato di ricezione ricevono lo stesso segnale di clock in modo da essere fra loro sincronizzate, ossia in ogni istante di tempo i loro stati interni coincidono. Per cui, quando lo stato interno della macchina a stati finiti sul lato di trasmissione coincide con la configurazione di scambio da trasmettere, questa genera

un segnale di sincronismo che viene trasmesso alla macchina a stati finiti sul lato di ricezione utilizzando un'unica linea di trasmissione. La macchina a stati finiti sul lato di ricezione determina quindi la 5 configurazione di scambio associata al suo stato interno al momento del ricevimento del segnale di sincronismo, configurazione di scambio che, grazie al fatto che gli stati interni delle macchie a stati finiti sono gli stessi in ogni istante di tempo, è esattamente identica a 10 quella trasmessa.

La presente invenzione permette quindi di ridurre ad una le linee di trasmissione addizionali necessarie per trasmettere la configurazione di scambio, con conseguente drastica riduzione dell'attività di 15 commutazione addizionale dovuta appunto alle linee addizionali.

Secondo un ulteriore aspetto della presente invenzione, l'attività di commutazione addizionale può essere ulteriormente ridotta facendo sì che la 20 coincidenza fra lo stato interno della macchina a stati finiti sul lato di trasmissione e la configurazione di scambio da trasmettere sia segnalata alla macchina a stati finiti sul lato di ricezione semplicemente complementando il segnale di sincronismo, il che 25 comporta un'unica commutazione sul bus (singolo fronte

di commutazione), anziché generando un impulso di sincronismo, che comporta due commutazioni sul bus (doppio fronte di commutazione dell'impulso, uno di salita ed uno discesa). Sebbene non ottimale,
5 quest'ultima tecnica potrebbe però essere comunque utilizzata.

Per una migliore comprensione della presente invenzione viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non 10 limitativo e con riferimento ai disegni allegati, nei quali:

- la Figura 1 mostra, in termini generali, i criteri di funzionamento di un modulo di scambio suscettibile di essere utilizzato nell'ambito
15 dell'invenzione;

- la Figura 2 è uno schema a blocchi che illustra la trasmissione dell'informazione su un bus;

- le Figure 3 e 4 sono schemi a blocchi che mostrano due implementazioni del modulo di scambio di
20 figura 1;

- le Figure 5 e 6 sono schemi a blocchi che illustrano il principio di funzionamento di una prima forma di realizzazione della presente invenzione;

- le Figure 7a e 7b mostrano in maniera comparativa
25 grandezze relative alla prima forma di realizzazione

della presente invenzione;

- la Figura 8 è uno schema a blocchi che mostra una possibile variante della prima forma di realizzazione della presente invenzione sul lato di trasmissione; e

5 - le Figure 9 e 10 sono schemi a blocchi che illustrano il principio di funzionamento di una seconda forma di realizzazione della presente invenzione.

Nelle figure 5 e 6 è mostrata l'architettura circuitale, sul lato di trasmissione e sul lato di 10 ricezione, con la quale viene realizzata la sincronizzazione della configurazione di scambio secondo una prima forma di realizzazione della presente invenzione.

In particolare, nella figura 5 è mostrata una 15 sorgente di dati 10, costituita ad esempio da un processore digitale, fornente i dati da trasmettere sul bus 2, un trasmettitore 11 avente la funzione di codificare i dati forniti dalla sorgente di dati 10 nel modo precedentemente descritto in modo da ridurre 20 l'attività di commutazione sul bus, un registro FIFO (First In First OUT) 12 avente la funzione di accumulare i dati forniti dal trasmettitore prima della loro immissione sul bus, per i motivi che saranno chiariti nel seguito, ed una macchina a stati finiti 13 avente lo scopo di generare il summenzionato segnale di 25

sincronismo attraverso il quale viene trasmessa la configurazione di scambio.

In particolare, il trasmettitore 11 riceve in ingresso i dati generati dalla sorgente di dati 10 e 5 fornisce in uscita tali dati codificati nel modo sopra descritto unitamente alle relative configurazioni di scambio, i quali vengono forniti in ingresso al registro FIFO 12 che li accumula progressivamente prima della loro immissione sul bus.

10 I dati accumulati nel registro FIFO 12 vengono immessi sul bus uno alla volta su comando di un segnale logico di abilitazione lettura RE (Read Enable) generato dalla macchina a stati finiti 13 sulla base dei dati e delle relative configurazioni di scambio fornite al suo 15 ingresso.

In particolare, la macchina a stati finiti 13 ha un numero di stati interni pari al numero di possibili configurazione di scambio ed ogni suo stato interno è univocamente associato ad una rispettiva configurazione 20 di scambio. La macchina a stati finiti 13 opera confrontando ogni configurazione di scambio che riceve dal trasmettitore 11 con il proprio stato interno e, quando questi coincidono, genera il summenzionato segnale logico di sincronismo Sync che viene fornito al 25 ricevitore attraverso una rispettiva linea addizionale

del bus, ed attraverso il quale il ricevitore recupera la configurazione di scambio utilizzata in trasmissione.

Al rilevamento della coincidenza fra configurazione di scambio da trasmettere e proprio stato interno, la 5 macchina a stati finiti 13 genera il suddetto segnale di abilitazione lettura RE che comanda il registro FIFO 12 in modo tale da estrarre da questo un nuovo dato ed immetterlo sul bus.

Oltre a ciò, il registro FIFO 12 genera in uscita 10 un segnale logico di registro vuoto Empty indicativo del fatto che il registro FIFO 12 non contiene dati da trasmettere, ed un segnale logico di disabilitazione della trasmissione Busy indicativo del fatto che il registro FIFO 12 è pieno e non è quindi più in grado di 15 accettare dati in ingresso.

Il segnale di registro vuoto Empty viene fornito alla macchina a stati finiti 13 al fine di interrompere la generazione del segnale di sincronismo Sync quando il registro FIFO 12 è vuoto, mentre il segnale di 20 disabilitazione della trasmissione BUSY viene fornito sia alla sorgente di dati 10 che al trasmettitore 11 per interrompere la generazione di nuovi dati da trasmettere e di conseguenza la fornitura di nuovi dati all'ingresso del registro FIFO 12.

25 Per quanto riguarda invece l'architettura

circuitale sul lato di ricezione, nella figura 6 è mostrata una macchina a stati finiti 14 avente la funzione di recuperare la configurazione di scambio utilizzata in trasmissione, ed un ricevitore 15 avente 5 la funzione di decodificare i dati trasmessi utilizzando la configurazione di scambio recuperata.

In particolare, la macchina a stati finiti 14 riceve in ingresso il segnale di sincronismo Sync trasmesso sulla linea addizionale del bus ed il segnale 10 di registro vuoto Empty e fornisce in uscita la configurazione di scambio utilizzata in trasmissione ed un segnale di abilitazione lettura RE (Read Enable).

In particolare, analogamente alla macchina a stati finiti 13, la macchina a stati finiti 14 ha un numero di 15 stati interni pari al numero di configurazione di scambio possibili ed ogni suo stato interno è univocamente associato ad una rispettiva configurazione di scambio. In particolare, l'associazione fra stato interno e configurazione di scambio è esattamente 20 identica a quella della macchina a stati finiti 13.

Inoltre, la macchina a stati finiti 14 è sincronizzata con la macchina a stati finiti 13, cioè gli stati interni delle due macchine a stati finiti 13 e 14 coincidono in ogni istante di tempo.

25 Grazie alla sincronizzazione ed alla identità di

associazione fra stati interni e configurazioni di scambio delle due macchine a stati finiti 13, 14, al momento della commutazione del segnale di sincronismo Sync, la macchina a stati finiti 14 determina la 5 configurazione di scambio associata al suo stato interno in quel preciso istante di tempo, configurazione che è esattamente identica a quella trasmessa.

Il sincronismo fra le due macchine a stati finiti viene garantito fornendo ad entrambe il medesimo segnale 10 di clock CK.

Il ricevitore riceve in ingresso i dati trasmessi, la configurazione di scambio recuperata ed il segnale di abilitazione lettura RE e fornisce in uscita i dati trasmessi. In particolare, i dati trasmessi vengono 15 ricevuti, decodificati utilizzando la configurazione di scambio recuperata e quindi forniti sull'uscita del ricevitore solo dopo apposita abilitazione fornita dal segnale di abilitazione lettura RE, il quale viene generato localmente dalla macchina a stati finiti 14.

20 Come precedentemente detto, le macchine a stati finiti 13 e 14 sono progettate in modo tale da avere un numero di stati interni pari al numero di configurazioni di scambio possibili e l'evoluzione da uno stato al successivo avviene con una frequenza che viene 25 determinata in funzione della frequenza con cui i dati

vengono immessi sul bus, tenendo conto delle seguenti considerazioni.

Innanzitutto, la frequenza di clock con cui la macchina a stati finiti 13 opera internamente non può essere troppo elevata rispetto a quella con cui vengono immessi i dati sul bus in quanto una frequenza così elevata non è fisicamente disponibile nel chip in cui tale architettura viene realizzata, e non può essere troppo bassa in quanto il tempo speso per trasmettere i dati risulterebbe inaccettabilmente troppo lungo.

In particolare, se si definisce $f_{FSM} = f_{bus} \cdot M$, dove f_{FSM} rappresenta la frequenza di clock della macchina a stati finiti 13, f_{bus} rappresenta la frequenza di clock del bus, ed M rappresenta il numero di tentativi che vengono fatti in un ciclo del bus, definito come l'intervallo di tempo intercorrente fra due successive immissione di dati sul bus, per identificare la configurazione di scambio, e se dopo ogni riconoscimento di una configurazione di scambio la macchina a stati finiti 13 viene portata nello stato iniziale di reset, allora il tempo massimo speso per l'identificazione di una configurazione di scambio è pari a N/M cicli del bus.

Il fatto che l'identificazione della configurazione di scambio ottimale di un dato richiede N/M cicli del

bus comporta un'inevitabile ritardo di trasmissione del dato sul bus, per cui, al fine di non dover interrompere la sorgente di dati 10 ed il trasmettitore 11, viene utilizzato il registro FIFO 12 che accumula i dati via 5 via forniti dal trasmettitore 11 e li immette a uno a uno sul bus una volta che la relativa configurazione di scambio è stata identificata.

Ciò fa sì che la drastica riduzione ad una delle linee di trasmissione su cui vengono trasmesse le 10 configurazioni di scambio sia ottenibile solo a scapito di un ritardo di trasmissione introdotta dal registro FIFO 12.

Il registro FIFO 12 non può fisicamente avere una capacità di immagazzinamento infinita, per cui occorre 15 tenere in conto anche la probabilità di fuori servizio. Pertanto, quando il registro FIFO 12 è pieno viene generato il segnale di disabilitazione trasmissione Busy che interrompe appunto la trasmissione dei dati.

Pertanto, la tecnica secondo l'invenzione risulta 20 particolarmente vantaggiosa e presenta buone prestazioni nel caso in cui la trasmissione sul bus sia di tipo "burst" (ad esempio AMBA BUS e PCI BUS) ed il registro FIFO è dimensionato in base alla lunghezza dei burst.

Simulazioni condotte dalla Richiedente hanno 25 dimostrato che al fine di gestire in maniera efficiente

la probabilità di fuori servizio, il registro FIFO 12 può convenientemente essere costruito utilizzando un processo di nascita e morte di una catena di Markov, il quale consente appunto possibile determinare a priori la 5 probabilità di fuori servizio del registro FIFO 12 sulla base delle informazioni statistiche relative al traffico.

Inoltre, al fine di ridurre l'attività di commutazione sulla linea addizionale del bus attraverso 10 la quale il segnale di sincronismo Sync contenente l'informazione relativa alla configurazione di scambio utilizzata in trasmissione viene fornito al ricevitore, la coincidenza fra lo stato interno della macchina a stati finiti 13 e la configurazione di scambio da 15 trasmettere fornita dal trasmettitore 11 viene segnalata alla macchina a stati finiti 14 sul lato di ricezione complementando il segnale di sincronismo Sync, il che comporta un'unica commutazione sul bus (singolo fronte di commutazione del segnale).

20 Inoltre, le macchine a stati finiti 13, 14 possono portarsi nello stato iniziale di reset o ciclicamente dopo aver assunto tutti i possibili stati interni oppure dopo ogni riconoscimento di una configurazione di scambio. In particolare, il reset delle macchine a stati 25 finiti 13, 14, che può essere realizzato utilizzando

proprio il segnale di sincronismo Sync che, come detto,
viene complementato dopo ogni riconoscimento di una
configurazione di scambio, consente di ridurre
ulteriormente il ritardo di trasmissione e risulta
5 particolarmente vantaggioso nel caso in cui le
configurazioni di scambio più probabili, determinate da
una analisi preventiva del traffico, vengono associate
ai primi stati interni delle macchine a stati finiti 13,
14.

10 La riduzione del ritardo di trasmissione ottenibile
resettando le macchine a stati finiti 13, 14 dopo ogni
riconoscimento di una configurazione di scambio è
evidenziata nelle figure 7a e 7b, in cui sono mostrati
il segnale di sincronismo Sync, gli stati interni delle
15 macchine a stati finiti 13, 14 (considerando macchine a
stati finiti con quattro stati interno S0, S1, S2 ed S3)
e la configurazione di scambio ottimale trasmessa nel
caso in cui le macchine a stati finiti 13, 14 si portino
nello stato iniziale di reset dopo aver assunto tutti i
20 possibili stati interni (figura 7a) e, rispettivamente,
nel caso in cui le macchine a stati finiti 13, 14 si
portino nello stato iniziale di reset dopo ogni
riconoscimento di una configurazione di scambio (figura
7b).

25 Da un'analisi comparativa delle due figure si può

immediatamente notare come a parità di cicli di clock il numero di transizioni del segnale di sincronismo sia maggiore nel caso in cui il reset delle macchine a stati finiti avvenga automaticamente dopo ogni riconoscimento 5 di una configurazione di scambio rispetto al caso in cui il reset delle macchine a stati finiti avvenga dopo che queste hanno assunto tutti i possibili stati interni, tale maggior numero di transizioni del segnale di sincronismo Sync essendo indice di una trasmissione più 10 veloce.

Nella figura 8 è mostrata una possibile variante all'architettura circuitale, sul lato di trasmissione, mostrata nella figura 5.

In particolare, a differenza di quanto mostrato 15 nella figura 5 in cui il registro FIFO 12 è disposto a valle del trasmettitore 11 ed immagazzina temporaneamente sia i dati forniti dal trasmettitore 11 che le configurazioni di scambio associate ad essi associate, secondo la variante mostrata nella figura 8 20 il registro FIFO 12 è interposto fra la sorgente di dati 10 ed il trasmettitore 11 e memorizza i dati forniti dalla sorgente di dati 10.

In questo modo, non dovendo più memorizzare le 25 configurazioni di scambio, il registro FIFO 12 ha una capacità di immagazzinamento sensibilmente minore

rispetto a quella che ha nella forma di realizzazione di figura 5, con conseguente riduzione di occupazione di area su silicio.

Questa variante richiede però che vi sia
5 sincronizzazione fra i dati e le configurazioni di scambio trasmessi dal trasmettitore ed la generazione del segnale di sincronismo Sync da parte della macchina a stati finiti 13 in modo tale da permettere un corretto riconoscimento dei dati trasmessi sul lato di ricezione.

10 Ciò può essere ottenuto in due modi, o prevedendo, come mostrato nella figura 8, un latch di uscita 16 posto a valle del trasmettitore 11 che viene caricato con il dato da trasmettere e la relativa configurazione di scambio solo quando lo stato interno della macchina a
15 stati finiti 13 coincide con la configurazione di scambio da trasmettere, oppure ponendo il trasmettitore 11 in attesa (stand-by) fino a quando lo stato interno della macchina a stati finiti 13 coincide con la configurazione di scambio da trasmettere.

20 Nella forma di realizzazione mostrata nella figura 8, il caricamento del latch viene abilitato direttamente dalla macchina a stati finiti 13 attraverso il segnale di abilitazione lettura RE che viene generato da quest'ultima quando il suo stato interno coincide con la
25 configurazione di scambio da trasmettere, mentre

nell'altra forma di realizzazione non illustrata nella figura 8 il trasmettitore 11 viene messo in stand-by dalla macchina a stati finiti 13 fino a quando lo stato interno di quest'ultima coincide con la configurazione 5 di scambio da trasmettere.

Anche in questa forma di realizzazione, inoltre, il registro FIFO 12 genera in uscita il segnale logico di registro vuoto Empty per la macchina a stati finiti 13 indicativo del fatto che il registro FIFO 12 non 10 contiene dati da trasmettere, ed il segnale logico di disabilitazione della trasmissione Busy per la sorgente di dati 10 indicativo del fatto che il registro FIFO 12 è pieno e non è quindi più in grado di accettare dati in ingresso.

15 Nelle figure 9 e 10 è mostrata l'architettura circuitale, sul lato di trasmissione e sul lato di ricezione, con la quale viene realizzata la sincronizzazione della configurazione di scambio secondo una seconda forma di realizzazione della presente 20 invenzione, la quale risulta particolarmente vantaggiosa nel caso in cui nel bus vi siano delle linee di trasmissione addizionali liberamente utilizzabili.

In particolare, a differenza della prima forma di realizzazione della presente invenzione precedentemente 25 descritta con riferimento alle figure 5 e 6, la seconda

forma di realizzazione non richiede l'utilizzo di un registro FIFO in trasmissione e la sua eliminazione è resa possibile dall'adozione di una architettura parallela che sfrutta tali linee di trasmissione 5 addizionali libere in combinazione con l'utilizzo di configurazioni di scambio differenti.

In particolare, secondo quanto mostrato nella figura 9, in cui parti identiche a quelle della figura 5 sono identificate con gli stessi numeri di riferimento, 10 anziché il registro FIFO 12, vengono utilizzate N/M macchine a stati finiti, in cui N ed M hanno i significati sopra indicati, ossia N è il numero di configurazioni di scambio possibili ed M è il numero di volte che la frequenza di clock di ogni macchina a stati 15 finiti 13 è maggiore della frequenza di clock del bus.

Le macchine a stati finiti ricevono in ingresso la configurazione di scambio fornita dal trasmettitore 11 e ciascuna di esse fornisce in uscita un relativo segnale di sincronismo, indicato con Sync1, Sync2, Sync3 e Sync4 20 che viene inviato sul lato di ricezione attraverso una relativa linea addizionale del bus.

Inoltre, le macchine a stati finiti hanno uno stesso numero di stati interni minore del numero N di configurazioni di scambio possibili e agli stati interni 25 di ciascuna macchina a stati finiti è associato un

sottoinsieme delle configurazioni di scambio possibili che distinto e disgiunto rispetto ai sottoinsiemi associati alle altre macchine a stati finiti, ossia i sottoinsiemi delle configurazioni di scambio possibili delle macchine a stati finiti non contengono elementi in comune.

Per comodità illustrativa e descrittiva, nella figura 9 è a titolo di esempio non limitativo mostrato il caso in cui il numero di configurazioni di scambio possibili sia $N=16$ e le macchine a stati finiti lavorino ad una frequenza di clock quattro volte maggiore della frequenza di clock del bus, ossia $M=4$, restando bene inteso che quanto detto a riguardo di questo specifico esempio ha una valenza generale.

Le macchine a stati finiti necessarie per implementare la seconda forma di realizzazione sono pertanto quattro ($N/M=4$), le quali sono indicate in figura 8 con 13.1, 13.2, 13.3. e 13.4 ed i relativi segnali di sincronismo con Sync1, Sync2, Sync3 e Sync4.

Ciascuna delle quattro macchine a stati finiti 13.1-13.4 ha un numero di stati interni pari a quattro e ai quattro stati interni di ciascuna macchina a stati finiti sono associate quattro delle possibili configurazioni di scambio. Inoltre, i quattro sottoinsiemi di configurazioni di scambio associati agli

stati interni delle quattro macchine a stati finiti 13.1-13.4 non contengono elementi in comune.

In questo modo, quando il trasmettitore 11 fornisce in uscita il dato da trasmettere unitamente alla 5 relativa configurazione di scambio, ognuna delle quattro macchine a stati finiti 13.1-13.4 confronta la configurazione di scambio ricevuta con il proprio stato interno e dato che la frequenza di clock delle macchine a stati finiti 13.1-13.4 è quattro volte superiore alla 10 frequenza di clock del bus, al termine di un ciclo del bus la configurazione di scambio da trasmettere sarà stata riconosciuta, cioè lo stato interno di una delle macchine a stati finiti 13.1-13.4 sicuramente coinciderà con la configurazione di scambio da trasmettere.

15 Al rilevamento della coincidenza fra configurazione di scambio da trasmettere e proprio stato interno, la relativa macchina a stati finiti 13.1-13.4 genera il relativo segnale di sincronismo Sync1-Sync4 che viene inviato sul lato di ricezione.

20 Inoltre, le macchine a stati finiti 13.1-13.4 possono portarsi nello stato iniziale di reset o ciclicamente dopo aver assunto tutti i possibili stati interni oppure dopo ogni riconoscimento di una configurazione di scambio. Per far sì che tutte le 25 macchine a stati finiti 13.1-13.4 si portino nello stato

iniziale di reset dopo ogni riconoscimento di una configurazione di scambio, il segnale di sincronismo Sync1-Sync4 generato da una macchina a stati finiti 13.1-13.4 viene fornito anche a tutte le altre macchine 5 a stati finiti 13.1-13.4 che si resettano al rilevamento della commutazione di uno qualsiasi dei segnali di sincronismo Sync1-Sync4.

Per quanto riguarda il lato di ricezione, come mostrato nella figura 10, in cui parti identiche a 10 quelle della figura 6 sono identificate con gli stessi numeri di riferimento, sono previste N/M macchine a stati finiti, ciascuna delle quali riceve in ingresso un relativo segnale di sincronismo Sync e fornisce in uscita una relativa configurazione di scambio ed un relativo segnale di abilitazione lettura RE, ed un 15 arbitro ricevente in ingresso le configurazioni di scambio ed i segnali di abilitazione lettura RE generati dalla macchine a stati finiti e fornente al ricevitore la configurazione di scambio ed il segnale di 20 abilitazione lettura RE generato dalla macchina a stati finiti coinvolta nel riconoscimento della configurazione di scambio.

Inoltre, le macchine a stati finiti sul lato di ricezione sono funzionalmente identiche alle macchine a 25 stati finiti sul lato di trasmissione, ossia hanno lo

stesso numero di stati interni delle macchine a stati finiti sul lato di trasmissione ed ad ognuna di esse è associato lo stesso sottoinsieme di configurazioni di scambio che è associato alla macchina a stati finiti sul 5 lato di trasmissione dalla quale riceve il segnale di sincronismo.

Con riferimento all'esempio mostrato nella figura 9, le quattro macchine a stati finiti sul lato di ricezione sono indicate rispettivamente con 14.1, 14.2, 10 14.3 e 14.4, le configurazioni di scambio da queste fornite sono rispettivamente indicate con Pattern1, Pattern2, Pattern3 e Pattern4, i segnali di abilitazione lettura da esse generati sono rispettivamente indicati con RE1, RE2, RE3 ed RE4, e l'arbitro è indicato con 17.

15 Quando una delle quattro macchine a stati finiti 14.1-14.4 verifica l'avvenuta commutazione del relativo segnale di sincronismo Sync1-Sync4, essa recupera la configurazione di scambio trasmessa nel ciclo del bus in cui tale commutazione è avvenuta e genera in uscita la 20 configurazione di scambio trasmessa ed il relativo segnale di abilitazione lettura che, attraverso l'arbitro 17, vengono forniti al ricevitore 15 che li utilizza per decodificare i dati trasmessi.

Anche qui le macchine a stati finiti 14.1-14.4 25 possono portarsi nello stato iniziale di reset o

... ciclicamente dopo aver assunto tutti i possibili stati interni oppure dopo ogni riconoscimento di una configurazione di scambio. Per far sì che tutte le macchine a stati finiti 14.1-14.4 si portino nello stato 5 iniziale di reset dopo ogni riconoscimento di una configurazione di scambio, allora ognuna delle macchine a stati finiti 14.1-14.4 sul lato di ricezione riceve tutti i segnali di sincronismo generati dalle macchine a stati finiti 13.1-13.4 sul lato di trasmissione in modo 10 tale da resettarsi al rilevamento della commutazione di uno qualsiasi dei segnali di sincronismo.

In particolare, a questo fine ciascuna macchina a stati finiti 14.1-14.4 segue le seguenti regole:

- se il proprio segnale di sincronismo commuta, la 15 configurazione di scambio è riconosciuta, il proprio segnale di abilitazione lettura si porta allo stato logico alto e la macchina a stati finiti si porta nello stato di reset;
- se uno degli altri segnali di sincronismo 20 commuta, il proprio segnale di abilitazione lettura si porta allo stato logico basso e la macchina a stati finiti si porta nello stato di reset; e
- se nessun segnale di sincronismo commuta, la macchina a stati finiti si porta nello stato interno 25 successivo.

Si ritiene inoltre utile far notare che con l'architettura secondo la seconda forma di realizzazione della presente invenzione mostrata nelle figure 9 e 10 l'attività di commutazione delle linee addizionali del bus utilizzate per trasmettere i segnali di sincronismo è pari a quella che si ha nell'architettura secondo la prima forma di realizzazione della presente invenzione mostrata nelle figure 5 e 6 e nella relativa variante mostrata nella figura 8 in cui viene utilizzata solo una macchina a stati finiti sul lato di trasmissione ed una corrispondente macchina a stati finiti sul lato di ricezione in quanto nella seconda forma di realizzazione solo una delle macchine a stati finiti sul lato di trasmissione riconosce la configurazione di scambio e genera il relativo segnale di sincronismo in ogni ciclo del bus.

La tabella seguente riassume il miglioramento che la presente invenzione consente di ottenere in termini di riduzione dell'attività di commutazione SA rispetto all'arte nota in uno specifico caso di trasmissione su un bus da trenta linee e profondità del cluster pari a sei di file di tipo diverso (Latex, Spice, GCC, JPEG, MP3 e AVI).

combinazioni di n bit, confrontare il dato di n bit da trasmettere con le combinazioni di n bit generate, generare un segnale di identità al rilevamento della coincidenza fra il dato di n bit da trasmettere ed una delle combinazioni di n bit generate, e trasmettere il segnale di coincidenza sulla linea singola.

In ricezione, invece, occorre generare la medesima successione di combinazioni di n bit generata in trasmissione, le successioni di combinazioni di n bit generate in trasmissione ed in ricezione dovendo essere sincronizzate fra loro, e identificare la combinazione di n bit generata nell'istante di ricezione del segnale di identità trasmesso sulla linea singola, la combinazione di n bit generata nell'istante di ricezione del segnale di identità essendo null'altro che il dato da trasmettere.

Si apprezzerà inoltre, che la presente invenzione si presta ad essere implementata con particolare vantaggio sotto forma di un prodotto informatico suscettibile di essere caricato in una memoria (tipicamente un insieme di registri) di un processore associato al bus, e comprendente porzioni di codice software che, quando il prodotto informatico viene eseguito sul suddetto processore, realizzano i passi dei metodi secondo l'invenzione.

Tipo di file	Tecnica classica	Nuova tecnica
LaTeX	26,48 %	37,4 %
Spice	25,84 %	36,59 %
GCC	25,96 %	36,40 %
Jpeg	15,92 %	27,03 %
Mp3	15,53 %	27,06 %
Avi	35,00 %	36,06 %

Da un esame delle caratteristiche della presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

5 In particolare, essa consente di ridurre ad uno il numero delle linee di trasmissione addizionali necessarie per la trasmissione delle configurazioni di scambio, con conseguente drastica riduzione dell'attività di commutazione sul bus fino al 35 %
10 rispetto ad una trasmissione non codificata.

Inoltre, come detto all'inizio della descrizione e come risulterà immediatamente chiaro al lettore dalla precedente descrizione il concetto inventivo alla base della presente invenzione è di applicazione generica e
15 può essere utilizzato per trasmettere dati di qualsiasi genere su un singola linea.

Infatti, per trasmettere un dato di n bit è sufficiente generare in successione tutte le possibili

Risulta infine chiaro che a quanto qui descritto ed
illustrato possono essere apportate modifiche e varianti
senza per questo uscire dall'ambito protettivo della
presente invenzione, come definito nelle rivendicazioni
5 allegate.

RIVENDICAZIONI

1. Metodo di trasmissione di dati su un bus con minimizzazione dell'attività di commutazione sul bus stesso, comprendente le fasi di:

5 - convertire il dato da trasmettere dal proprio formato originario ($b(t)$) ad un formato di trasmissione ($B(t)$) che minimizzi l'attività di commutazione sul bus, la detta fase di convertire comprendendo le fasi di:

10 - effettuare uno scambio della posizione di uno o più bit del dato da trasmettere, detto scambio essendo suscettibile di essere attuato secondo una pluralità di varianti diverse, ciascuna delle quali è identificata da una rispettiva configurazione di scambio (P_t), e

15 - selezionare, fra le varie configurazioni di scambio, una configurazione di scambio ottimale (P_t) che minimizzi l'attività di commutazione sul bus all'atto della trasmissione sul bus stesso del dato generato utilizzando la detta configurazione di scambio ottimale

20 (P_t);

il detto metodo di trasmissione comprendendo inoltre le fasi di:

25 - trasmettere sul bus il dato nel detto formato di trasmissione ($B(t)$) e la configurazione di scambio ottimale (P_t);

100 - ricevere il dato nel detto formato di trasmissione ($B(t)$) e la configurazione di scambio ottimale (P_t) trasmessi sul bus; e

5 - convertire il dato ricevuto dal detto formato di trasmissione ($B(t)$) al detto formato originario ($b(t)$) utilizzando la configurazione di scambio ottimale (P_t) ricevuta;

10 il detto metodo di trasmissione essendo caratterizzato dal fatto che la detta fase di trasmettere sul bus la configurazione di scambio ottimale (P_t) comprende le fasi di:

15 - generare una successione di configurazioni di scambio identificative di tutti i possibili scambi della posizione del bit o dei bit del dato da trasmettere;

20 - confrontare la configurazione di scambio ottimale (P_t) da trasmettere con le configurazioni di scambio generate;

25 - generare e trasmettere sul bus un segnale di sincronismo (Sync) al rilevamento dell'identità fra la configurazione di scambio ottimale (P_t) da trasmettere ed una delle configurazioni di scambio generate;

il detto metodo di trasmissione essendo inoltre caratterizzato dal fatto che la detta fase di ricevere la configurazione di scambio ottimale (P_t) trasmessa sul bus comprende le fasi di:

- generare una successione di configurazioni di scambio identica a, e sincrona con, quella generata in trasmissione; e

5 - identificare la configurazione di scambio generata nell'istante di ricezione del segnale di sincronismo (Sync) trasmesso sul bus, la configurazione di scambio identificata essendo identica alla detta configurazione di scambio ottimale (P_t) da trasmettere.

2. Metodo di trasmissione secondo la rivendicazione 10 1, caratterizzato dal fatto che ciascuna delle dette fasi di generare una successione di configurazioni di scambio comprende le fasi di:

15 - realizzare una macchina a stati finiti (13, 14) avente un numero di stati interni pari al numero di possibili scambi della posizione del bit o dei bit del dato da trasmettere;

- associare a ciascuno degli stati interni della detta macchina a stati finiti una rispettiva configurazione di scambio; e

20 - far operare la detta macchina a stati finiti (13, 14) ad una data frequenza così da far evolvere il suo stato interno e generare le dette configurazioni di scambio.

25 3. Metodo di trasmissione secondo la rivendicazione 1, caratterizzato dal fatto che ciascuna delle dette

fasi di generare una successione di configurazioni di scambio comprende la fase di:

- generare una pluralità di insiemi disgiunti di configurazioni di scambio, ciascun insieme essendo
5 formato da configurazioni di scambio identificative di un rispettivo sottoinsieme di possibili scambi della posizione del bit o dei bit del dato da trasmettere, le configurazioni di scambio di ciascun insieme essendo inoltre generate in successione ed in maniera sincrona
10 rispetto alle configurazioni di scambio degli altri insiemi.

4. Metodo di trasmissione secondo la rivendicazione 3, caratterizzato dal fatto che la fase di generare una pluralità di insiemi disgiunti di configurazioni di scambio comprende, per ciascun detto insieme di configurazioni di scambio, le fasi di:

- realizzare una macchina a stati finiti (13.1-13.4, 14.1-14.4) avente un numero di stati interni pari al numero di configurazioni di scambio nell'insieme;
20 - associare a ciascuno degli stati interni della detta macchina a stati finiti una rispettiva configurazione di scambio; e
- far operare la detta macchina a stati finiti (13.1-13.4, 14.1-14.4) ad una data frequenza così da far
25 evolvere il suo stato interno e generare le relative

configurazioni di scambio.

5. Dispositivo di trasmissione di dati su un bus con minimizzazione dell'attività di commutazione sul bus stesso, comprendente:

5 - primi mezzi convertitori (11) per convertire il dato da trasmettere dal proprio formato originario ($b(t)$) ad un formato di trasmissione ($B(t)$) che minimizzi l'attività di commutazione sul bus (2), detti primi mezzi convertitori () comprendendo:

10 - un modulo di scambio (1) per effettuare uno scambio della posizione di uno o più bit del dato da trasmettere, detto scambio essendo suscettibile di essere attuato secondo una pluralità di varianti diverse, ciascuna delle quali è identificata da una 15 rispettiva configurazione di scambio (P_t); e

10 - mezzi di selezione (11) per selezionare, fra le varie configurazioni di scambio, una configurazione di scambio ottimale (P_t) che minimizzi l'attività di commutazione sul bus (2) all'atto della trasmissione sul 20 bus (2) stesso del dato generato utilizzando la detta configurazione di scambio ottimale (P_t);

il detto dispositivo di trasmissione comprendendo inoltre:

25 - mezzi di trasmissione (11, 13; 13.1-13.4) per trasmettere sul bus (2) il dato nel detto formato di

trasmissione ($B(t)$) e la configurazione di scambio ottimale (P_t);

- mezzi di ricezione (15, 14; 14.1-14.4) per ricevere il dato nel detto formato di trasmissione (5 $B(t)$) e la detta configurazione di scambio ottimale (P_t) trasmessi sul bus (2); e

- secondi mezzi convertitori (1) per convertire il dato ricevuto dal detto formato di trasmissione ($B(t)$) al detto formato originario ($b(t)$) utilizzando la detta 10 configurazione di scambio ottimale (P_t) ricevuta;

il detto dispositivo di trasmissione essendo caratterizzato dal fatto che i detti mezzi di trasmissione (11, 13; 13.1-13.4) comprendono:

- primi mezzi generatori di configurazioni di 15 scambio (13; 13.1-13.4) per generare una successione di configurazioni di scambio identificative di tutti i possibili scambi della posizione del bit o dei bit del dato da trasmettere;

- mezzi comparatori (13; 13.1-13.4) per confrontare 20 la configurazione di scambio ottimale (P_t) da trasmettere con le configurazioni di scambio generate;

- mezzi generatori di segnale (13; 13.1-13.4) per generare ed inviare sul detto bus (2) un segnale di sincronismo (Sync) al rilevamento della identità fra la 25 configurazione di scambio ottimale (P_t) da trasmettere

ed una delle configurazione di scambio generate;

il detto dispositivo di trasmissione essendo inoltre caratterizzato dal fatto che i detti mezzi di ricezione (15, 14; 14.1-14.4) comprendono:

5 - secondi mezzi generatori di configurazioni di scambio (14; 14.1-14.4) per generare una successione di configurazioni di scambio identica a, e sincrona con, quella generata in trasmissione; e

10 - mezzi di rilevazione (14; 14.1-14.4) per identificare la configurazione di scambio generata nell'istante di ricezione del segnale di sincronismo (Sync) trasmesso sul bus (2), la configurazione di scambio identificata essendo identica alla detta configurazione di scambio ottimale (P_t) da trasmettere.

15 6. Dispositivo di trasmissione secondo la rivendicazione 5, caratterizzato dal fatto che i detti primi e secondi mezzi generatori di configurazioni di scambio comprendono, ciascuno, una macchina a stati finiti (13, 14) avente un numero di stati interni pari 20 al numero di possibili scambi della posizione del bit o dei bit del dato da trasmettere, a ciascuno degli stati interni della detta macchina a stati finiti essendo associata una rispettiva configurazione di scambio, la detta macchina a stati finiti essendo fatta operare ad 25 una data frequenza cosi da far evolvere il suo stato

interno è generare le dette configurazioni di scambio.

7. Dispositivo di trasmissione secondo la rivendicazione 5, caratterizzato dal fatto che i detti primi e secondi mezzi generatori di configurazioni di scambio comprendono, ciascuno, una pluralità di moduli di configurazioni di scambio (13.1-13.4, 14.1-14.4) generanti una pluralità di insiemi disgiunti di configurazioni di scambio, ciascun insieme essendo formato da configurazioni di scambio identificative di un rispettivo sottoinsieme di tutti i possibili scambi della posizione del bit o dei bit del dato da trasmettere, le configurazioni di scambio di ciascun insieme essendo inoltre generate in successione ed in maniera sincrona rispetto alle configurazioni di scambio degli altri insiemi.

8. Dispositivo di trasmissione secondo la rivendicazione 7, caratterizzato dal fatto che ciascuno di detti moduli generatori di configurazioni di scambio comprende una macchina a stati finiti (13.1-13.4, 14.1-14.4) avente un numero di stati interni pari al numero di configurazioni di scambio del relativo insieme, a ciascuno degli stati interni della detta macchina a stati finiti essendo associata una rispettiva configurazione di scambio, la detta macchina a stati finiti essendo fatta operare ad una data frequenza così

da far evolvere il suo stato interno e generare le dette configurazioni di scambio.

9. Prodotto informatico caricabile nella memoria di un processore a cui è associato un bus, detto prodotto informatico comprendendo porzioni di codice software suscettibili di implementare il metodo secondo una qualsiasi delle rivendicazioni da 1 a 4 quando il prodotto informatico viene eseguito su un processore digitale associato ad un bus.

10. 10. Metodo di trasmissione di dati di n bit su una singola linea, caratterizzato dal fatto che la trasmissione di un dato comprende le fasi di:

- generare in successione tutte le possibili combinazioni di n bit;

15 - confrontare il dato di n bit da trasmettere con le combinazioni di n bit generate;

- generare e trasmettere su una linea singola un segnale di identità al rilevamento della coincidenza fra il dato di n bit da trasmettere ed una delle 20 combinazioni di n bit generate;

e dal fatto che la ricezione del dato trasmesso comprende le fasi di:

- generare una successione di combinazioni di n bit identica a quella generata in trasmissione e sincrona 25 rispetto a quest'ultima; e

- identificare la combinazione di n bit generata nell'istante di ricezione del segnale di identità trasmesso sulla linea singola, la combinazione di n bit identificata essendo identica al dato di n bit da 5 trasmettere.

11. Metodo di trasmissione secondo la rivendicazione 10, caratterizzato dal fatto che le dette fasi di generare in successione tutte le possibili combinazioni di n bit comprende le fasi di:

10 - realizzare una macchina a stati finiti avente un numero di stati interni pari al numero di possibili combinazioni di n bit;

15 - associare a ciascuno degli stati interni della detta macchina a stati finiti una rispettiva combinazione di n bit; e

- far operare la detta macchina a stati finiti ad una data frequenza così da far evolvere il suo stato interno e generare le relative combinazioni di n bit.

12. Metodo di trasmissione secondo la rivendicazione 10, caratterizzato dal fatto che le dette fasi di generare le combinazioni di n bit comprende le fasi di:

25 - generare una pluralità di insiemi disgiunti di possibili di combinazioni di n bit, le combinazioni di n bit di ciascun insieme essendo inoltre generate in

successione ed in maniera sincrona rispetto alle combinazioni di n bit degli altri insiemi.

13. Metodo di trasmissione secondo la rivendicazione 12, caratterizzato dal fatto che la fase 5 di generare una pluralità di insiemi disgiunti di possibili di combinazioni di n bit comprende, per ciascun detto insieme di combinazioni di n bit, le fasi di:

- realizzare una macchina a stati finiti avente un numero di stati interni pari al numero di combinazioni di n bit nell'insieme;

- associare a ciascuno degli stati interni della detta macchina a stati finiti una rispettiva combinazione di n bit; e

15 - far operare la detta macchina a stati finiti ad una data frequenza così da far evolvere il suo stato interno e generare le relative combinazioni di n bit.

14. Dispositivo di trasmissione di dati di n bit su una singola linea, caratterizzato dal fatto di comprendere, sul lato di trasmissione:

- primi mezzi generatori di combinazioni (13; 13.1, 13.4) per generare in successione tutte le possibili combinazioni di n bit;

25 - mezzi comparatori (13; 13.1, 13.4) per confrontare il dato di n bit da trasmettere con le

combinazioni di n bit generate;

- mezzi generatori di segnale (13; 13.1, 13.4) per generare e trasmettere su una linea singola un segnale di identità al rilevamento della coincidenza fra il dato 5 di n bit da trasmettere ed una delle combinazioni di n bit generate;

e dal fatto di comprendere, sul lato di ricezione:

- secondi mezzi generatori di combinazioni (14; 14.1, 14.4) per generare la medesima successione di 10 combinazioni di n bit generata dai primi mezzi generatori di combinazioni (13; 13.1, 13.4), le successioni di combinazioni di n bit generate dai detti primi e secondi mezzi generatori di combinazioni (13, 14; 13.1-13.4, 14.1, 14.4) essendo sincronizzate fra 15 loro; e

- mezzi di rilevamento (14; 14.1, 14.4) per identificare la combinazione di n bit generata nell'istante di ricezione del segnale di identità trasmesso sulla linea singola, la combinazione di n bit 20 identificata essendo identica al dato di n bit da trasmettere.

15. Dispositivo di trasmissione secondo la rivendicazione 14, caratterizzato dal fatto che i detti primi e secondi mezzi generatori di combinazioni 25 comprendono, ciascuno, una macchina a stati finiti (13,

14) avente un numero di stati interni pari al numero di possibili combinazioni di n bit, a ciascuno degli stati interni della detta macchina a stati finiti essendo associata una rispettiva combinazione di n bit, e la 5 detta macchina a stati finiti essendo fatta operare ad una data frequenza così da far evolvere il suo stato interno e generare le relative combinazioni di n bit.

16. Dispositivo di trasmissione secondo la rivendicazione 14, caratterizzato dal fatto che i detti 10 primi e secondi mezzi generatori di combinazioni comprendono, ciascuno, una pluralità di moduli generatori di combinazioni (13.1-13.4, 14.1-14.4) generanti una pluralità di insiemi disgiunti di possibili di combinazioni di n bit, le combinazioni di n 15 bit di ciascun insieme essendo generate in successione ed in maniera sincrona rispetto alle combinazioni di n bit degli altri insiemi.

17. Dispositivo di trasmissione secondo la rivendicazione 16, caratterizzato dal fatto che ciascuno 20 di detti moduli generatori di combinazioni comprende una macchina a stati finiti (13.1-13.4, 14.1-14.4) avente un numero di stati interni pari al numero di combinazioni di n bit nell'insieme, a ciascuno degli stati interni della detta macchina a stati finiti essendo associata 25 una rispettiva combinazione di n bit, e la detta

macchina a stati finiti essendo fatta operare ad una data frequenza così da far evolvere il suo stato interno e generare le relative combinazioni di n bit.

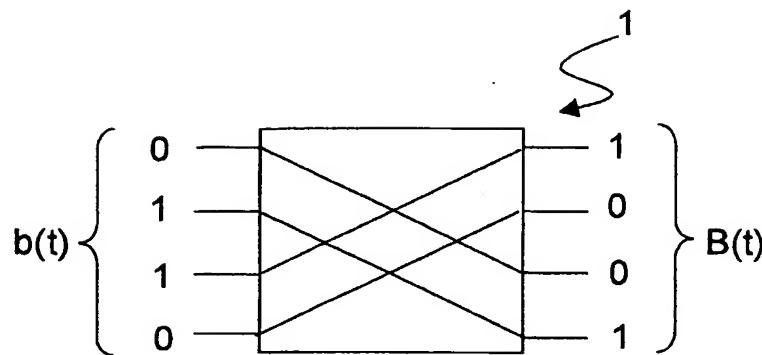
18. Prodotto informatico caricabile nella memoria
5 di un processore a cui è associato un bus, detto
prodotto informatico comprendendo porzioni di codice
software suscettibili di implementare il metodo secondo
una qualsiasi delle rivendicazioni da 10 a 13 quando il
prodotto informatico viene eseguito su un processore
10 digitale associato ad un bus.

RIASSUNTO

Viene descritto un metodo di trasmissione di dati su un bus con minimizzazione dell'attività di commutazione sul bus stesso, comprendente le fasi di convertire il dato da trasmettere dal proprio formato originario ad un formato di trasmissione che minimizzi l'attività di commutazione sul bus, tale conversione consistendo nell'effettuare uno scambio della posizione di uno o più bit del dato da trasmettere, tale scambio essendo suscettibile di essere attuato secondo una pluralità di varianti diverse, ciascuna delle quali è identificata da una rispettiva configurazione di scambio, e selezionare, fra le varie configurazioni di scambio, una configurazione di scambio ottimale che minimizzi l'attività di commutazione sul bus all'atto della trasmissione sul bus stesso del dato generato utilizzando la detta configurazione di scambio ottimale. Il metodo di trasmissione comprende inoltre le fasi di trasmettere sul bus il dato nel formato di trasmissione e la configurazione di scambio ottimale; ricevere il dato nel formato di trasmissione e la configurazione di scambio ottimale trasmessi sul bus; e convertire il dato ricevuto dal formato di trasmissione al formato originario utilizzando la configurazione di scambio ottimale ricevuta. La trasmissione della configurazione

di scambio ottimale viene effettuata generando innanzitutto una successione di configurazioni di scambio identificative di tutti i possibili scambi della posizione del bit o dei bit del dato da trasmettere; 5 confrontando quindi la configurazione di scambio ottimale da trasmettere con le configurazioni di scambio generate; ed infine generando e trasmettendo sul bus un segnale di sincronismo al rilevamento dell'identità fra la configurazione di scambio ottimale da trasmettere ed 10 una delle configurazione di scambio generate. La ricezione la configurazione di scambio ottimale viene invece effettuata generando una successione di configurazioni di scambio identica a, e sincrona con, quella generata in trasmissione; ed identificando quindi 15 la configurazione di scambio generata nell'istante di ricezione del segnale di sincronismo trasmesso sul bus, la quale, grazie all'identità ed al sincronismo delle configurazioni di scambio generate in trasmissione ed in ricezione, è identica alla configurazione di scambio 20 ottimale da trasmettere.

Figure 5. e 6



$P_t = 2-3-0-1$

Fig. 1

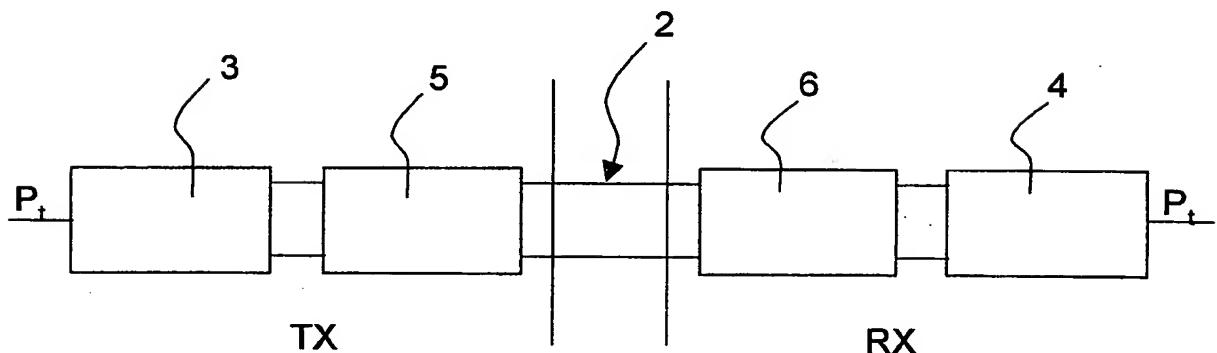


Fig. 2

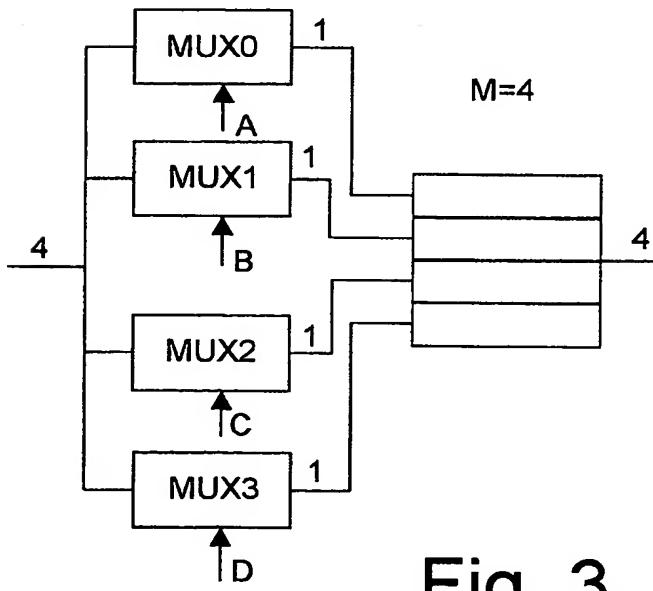


Fig. 3

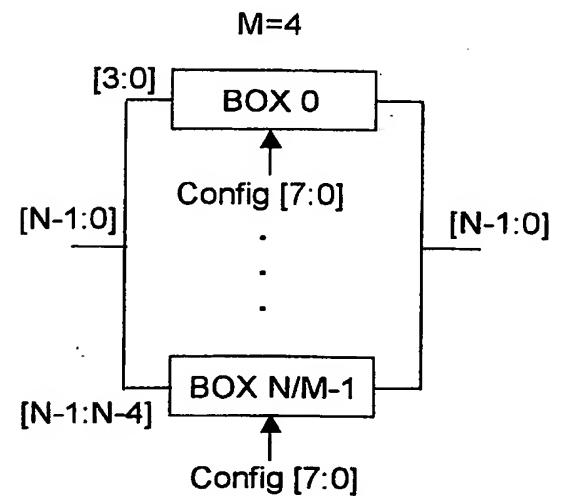


Fig. 4

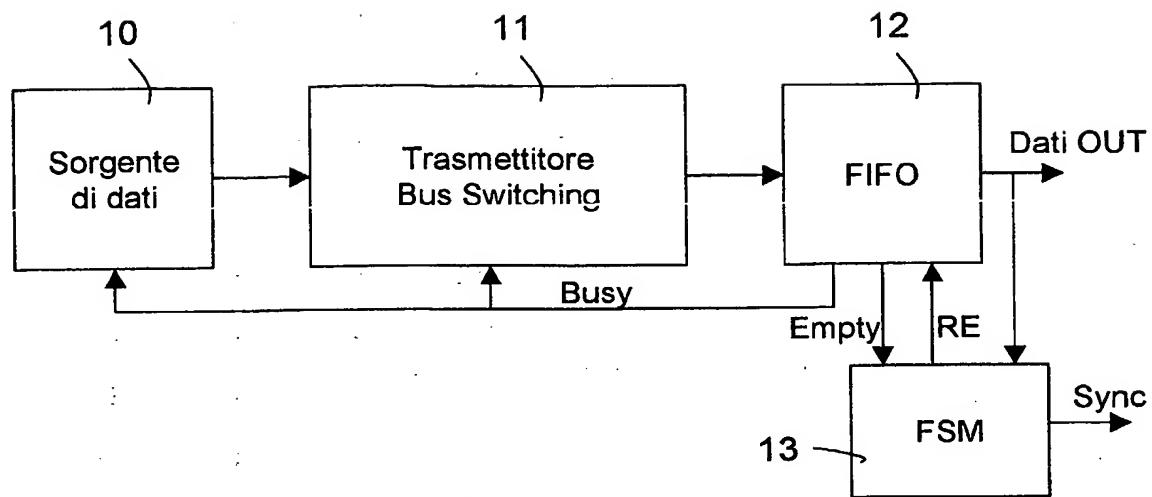


Fig. 5

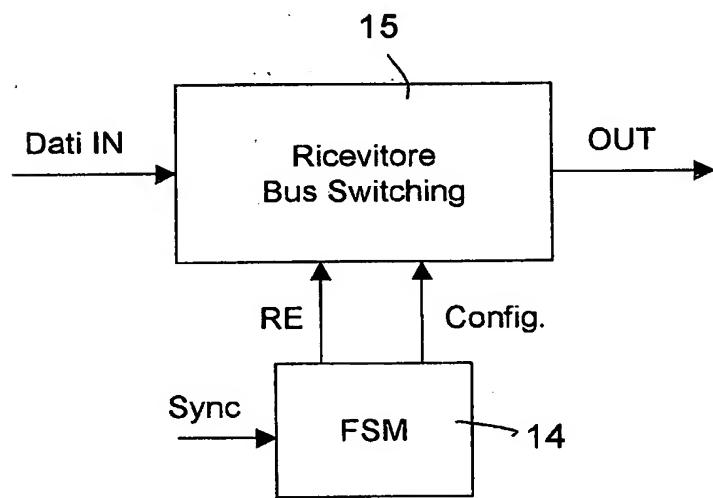


Fig. 6

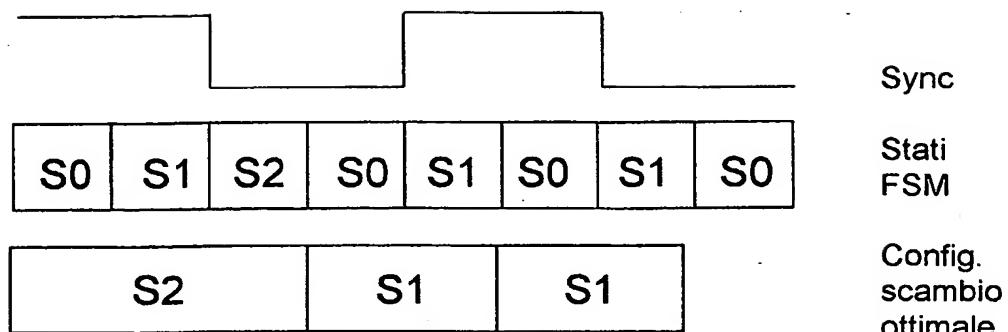


Fig. 7a

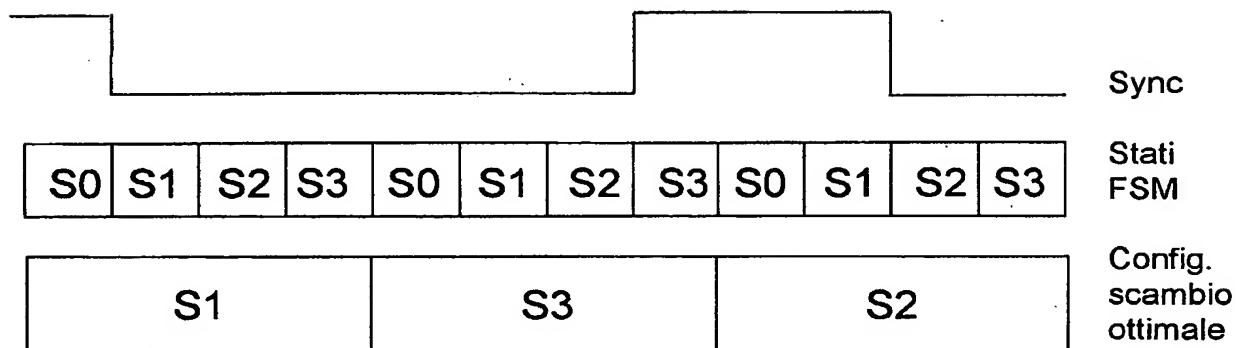


Fig. 7b

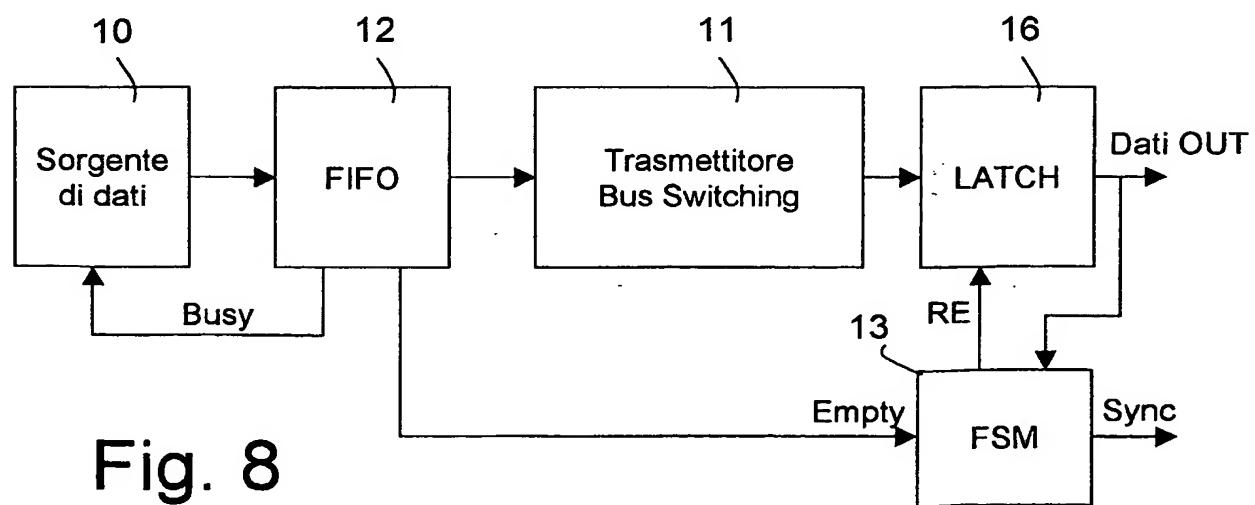


Fig. 8

4 / 4

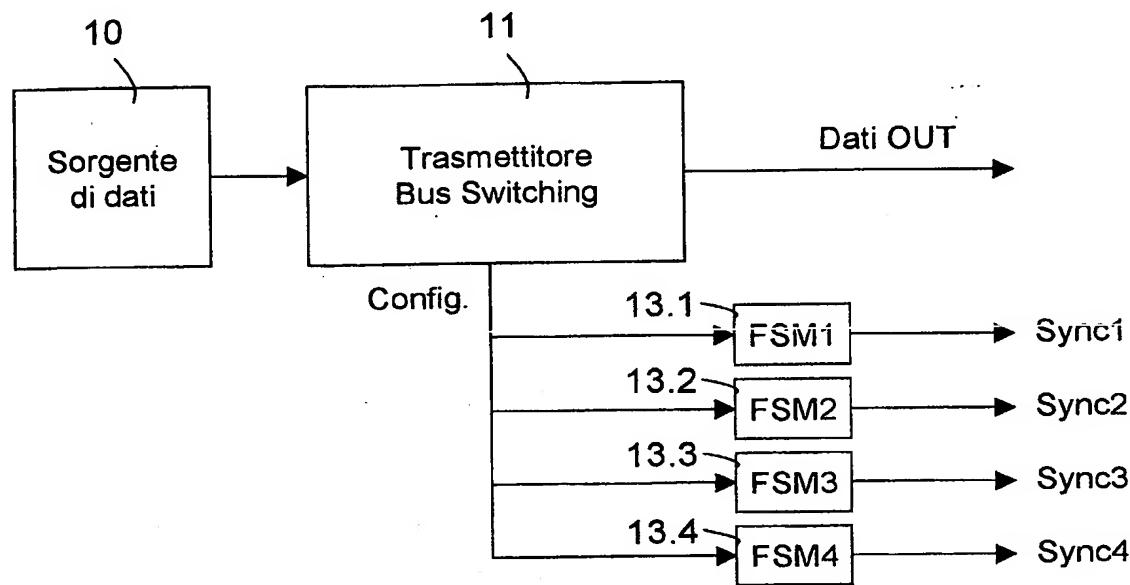


Fig. 9

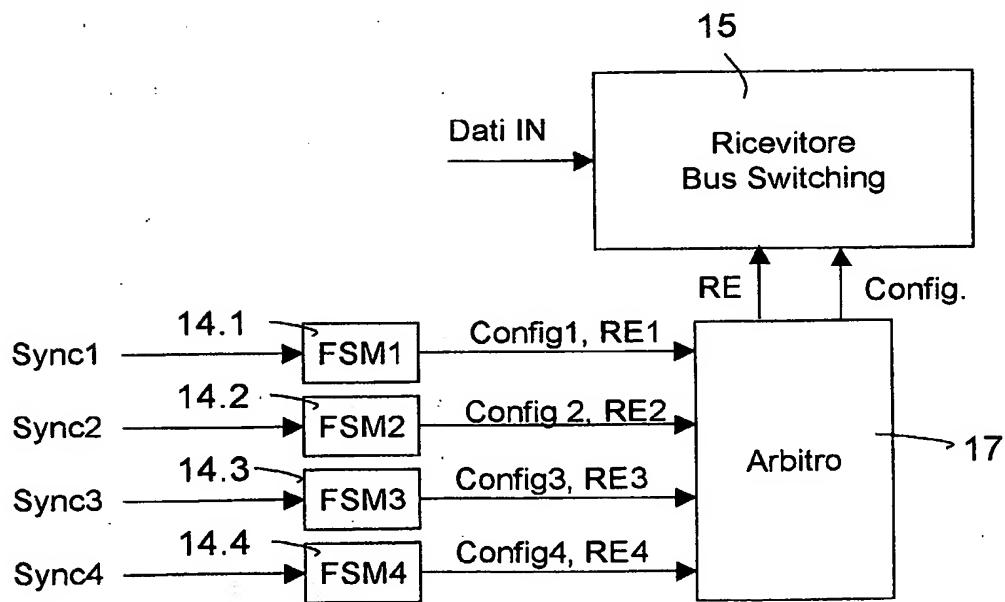


Fig. 10